

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102505

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H01L 21/8249

H01L 27/06

H01L 21/28

H01L 21/3205

H01L 27/04

H01L 21/822

(21)Application number : 06-236721

(71)Applicant : SONY CORP

(22)Date of filing : 30.09.1994

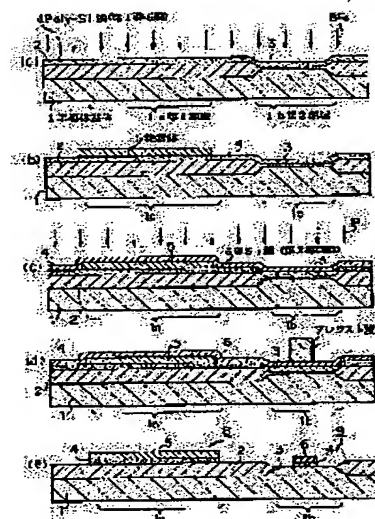
(72)Inventor : YASUSHIGE HIROAKI

(54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce fabrication cost by reducing the number of fabrication steps.

CONSTITUTION: In the first step, poly-Si film 4 is deposited, as a first conductive film, on the surface of a semiconductor substrate 1 and an insulation film 5 is deposited on the film 4 as shown at (a). The insulation film 5 is then patterned in the first region 1a of the semiconductor substrate 1 as shown at (b). In the second step, a WSi film 6 is deposited as a second conductive film on the poly-Si film 4 while covering the pattern of the insulation film 5 as shown at (c). In the third step, a resist film 7 is patterned in the second region 1b of the semiconductor substrate 1 as shown at (d). In the fourth step, the poly-Si film 4 and the WSi film 6 are removed by anisotropic etching as shown at (e). In the fourth step, the anisotropic etching is effected to leave the poly-Si film 4 in the first region 1b while the poly-Si film and WSi film 6 are left in the second region 1b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st process which forms the pattern of said insulator layer in the 1st field of said semi-conductor base after forming the 1st electric conduction film and an insulator layer in a semi-conductor base front face in order, The 2nd process which forms the 2nd electric conduction film for the pattern of said insulator layer on said 1st electric conduction film in the state of a wrap, The 3rd process which forms the pattern of the resist film in the 2nd field of said semi-conductor base, The manufacture approach of the semiconductor device characterized by consisting of the 4th process which removes this 1st electric conduction film and this 2nd electric conduction film in the condition of performing anisotropic etching, and leaving said 1st electric conduction film to said 1st field, and leaving said 1st electric conduction film and said 2nd electric conduction film to said 2nd field.

[Claim 2] The 1st electric conduction film which becomes a semi-conductor base front face from the ingredient which uses silicon as a principal component at least, The 1st process which forms the pattern of said insulator layer in the 1st field of said semi-conductor base after forming an insulator layer in order, The pattern of said insulator layer is heat-treated after forming the refractory metal film on said 1st electric conduction film in the state of a wrap. Said 1st electric conduction film and said refractory metal film other than said 1st field silicide-ization The 2nd process which forms the 2nd electric conduction film which comes to react, and removes said still more nearly unreacted refractory metal film, The 3rd process which forms the pattern of the resist film in the 2nd field of said semi-conductor base, The manufacture approach of the semiconductor device characterized by consisting of the 4th process which removes this 1st electric conduction film and this 2nd electric conduction film in the condition of performing anisotropic etching, and leaving said 1st electric conduction film to said 1st field, and leaving said 1st electric conduction film and said 2nd electric conduction film to said 2nd field.

[Claim 3] The 1st electric conduction film which becomes a semi-conductor base front face from the ingredient which uses silicon as a principal component at least, The 1st process which forms the pattern of said insulator layer in the 1st field of said semi-conductor base after forming an insulator layer in order, The pattern of said insulator layer is heat-treated after forming the refractory metal film on said 1st electric conduction film in the state of a wrap. Said 1st electric conduction film and said refractory metal film other than said 1st field silicide-ization The 2nd process which forms the 2nd electric conduction film which comes to react, The 3rd process which forms the pattern of the resist film in the 2nd field of said semi-conductor base, Anisotropic etching is performed. While removing said unreacted refractory metal film of said 1st field The manufacture approach of the semiconductor device characterized by consisting of the 4th process which removes this 1st electric conduction film and this 2nd electric conduction film in the condition of leaving said 1st electric conduction film to said 1st field, and leaving said 1st electric conduction film and said 2nd electric conduction film to said 2nd field.

[Claim 4] In the manufacture approach of a semiconductor device given in claim 1 thru/or claim 3 any 1 term or it performs the process which uses the pattern of said insulator layer as a mask, and introduces an impurity into said 1st electric conduction film other than said 1st field between said 1st process and said 2nd process The manufacture approach of the semiconductor device characterized by performing the process which uses the pattern of said insulator layer as a mask, and introduces an impurity at least

into one of said 1st electric conduction film other than said 1st field, and said 2nd electric conduction film between said 2nd process and said 3rd process.

[Claim 5] The manufacture approach of the semiconductor device characterized by forming in the 2nd field of said semi-conductor base in the condition of having made some patterns of the insulator layer of said 1st field overlapping the pattern of said resist film at said 3rd process in the manufacture approach of a semiconductor device given in claim 1 thru/or claim 4 any 1 term.

[Claim 6] The 1st electric conduction film which said 2nd electric conduction film consisted of tungsten silicide, and was formed at said 1st process in the manufacture approach of a semiconductor device given in claim 1 thru/or claim 5 any 1 term is the manufacture approach of the semiconductor device characterized by coming to introduce boron or 2 boron fluoride.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of the semiconductor device containing an MOS transistor, resistance, or a bipolar transistor.

[0002]

[Description of the Prior Art] It is the gate of former and MOS TORANJITA n+ When forming by the polycide which is the laminated structure of mold polish recon (Poly-Si) and the silicide of a refractory metal, in order to attain low resistance-ization of the gate, the polycide forms the resistance which consists of Poly-Si independently. Drawing 8 shows the conventional example of the manufacture approach of a semiconductor device including MOS TORANJITA which has such the polycide gate, and resistance.

[0003] As shown in drawing 8 (a), field oxide 51 is formed in 50 front faces of the base which consists of silicon (Si) first in a conventional method. Then, the polycide gate 56 which is what carried out the laminating of gate oxide 53, the Poly-Si film 54 of n mold, and the tungsten silicide (WSi) film 55 to order, and is constituted by base 50 front face of the component formation schedule field 52 surrounded by field oxide 51 is formed. And it is n to the base 50 of the component formation schedule field 52. - The LDD (Lightly Doped Drain) field 57 of a mold, the source / drain field 58 of n+ mold, etc. are formed.

[0004] Next, as shown in drawing 8 (b), the silicon oxide (SiO₂) film 59 is formed all over a base 50 including the polycide gate 56. Then, SiO₂ on field oxide 51. On the film 59, the pattern of resistance 61 which consists of Poly-Si film 60 of p mold is formed. And it is SiO₂ in the condition that the Poly-Si film 60 is included as shown in drawing 8 (c). After forming an insulator layer 62 on the film 59, the contact hole 63 and wiring 64 which lead to each of the Poly-Si film 60, and the source / drain field 58 are formed. According to the above process, the semiconductor device 66 including MOS transistor 65

of the polycide gate 56 and resistance 61 is formed.

[0005]

[Problem(s) to be Solved by the Invention] Since resistance cannot be formed with a conventional method by the polycide which forms the gate as described above, the Poly-Si film for resistance is formed apart from the gate, and pattern NINGU is performed. For this reason, the number of production processes increased and increase of a manufacturing cost is caused. It aims at offering the manufacture approach of a semiconductor device that it can be made in order that this invention may solve the above-mentioned technical problem, and the number of production processes can be reduced, and a manufacturing cost can be reduced.

[0006]

[Means for Solving the Problem] By the 1st approach of this invention for solving the above-mentioned technical problem, the 1st electric conduction film and an insulator layer are first formed in a semiconductor base front face in order at the 1st process. Then, the pattern of an insulator layer is formed in the 1st field of a semiconductor base. Subsequently, at the 2nd process, the 2nd electric conduction film is formed for the pattern of the insulator layer on the 1st electric conduction film in the state of a wrap. Then, the pattern of the resist film is formed in the 2nd field of the above-mentioned semiconductor base at the 3rd process. Furthermore at the 4th process, a semiconductor device is manufactured by performing anisotropic etching and removing the 1st electric conduction film and the 2nd electric conduction film. At this 4th process, anisotropic etching is performed in the 2nd field again so that it may leave the 1st electric conduction film and the 2nd electric conduction film, so that it may leave the 1st electric conduction film to the 1st field.

[0007] By the 2nd approach, the 1st process of the 1st approach of the above is performed first. The 1st electric conduction film is formed at least with the ingredient which uses silicon as a principal component in that case. At the 2nd process, the refractory metal film is formed on the 1st electric conduction film so that the pattern of an insulator layer may be covered. Heat-treat next, the 1st electric conduction film and refractory metal film other than the 1st field are made to silicide-ization-react, and the 2nd electric conduction film which consists of silicide film is formed. Furthermore, the unreacted refractory metal film is removed. And the 3rd process and the 4th process of the 1st approach of the above are performed in order.

[0008] It is also possible to remove by the anisotropic etching of the 3rd process, without performing removal of the unreacted refractory metal film performed at the 2nd process of the 2nd approach of the above at the 2nd process.

[0009] Moreover, by the 1st approach and the 2nd approach, the process which uses the pattern of an insulator layer as a mask and introduces an impurity into the 1st electric conduction film other than the 1st field between the 1st process and the 2nd process may be performed. Or the process which uses the pattern of an insulator layer as a mask and introduces an impurity at least into one of the 1st electric conduction film other than the 1st field and the 2nd electric conduction film between the 2nd process and the 3rd process may be performed. It is also possible to form the pattern of the resist film in the 2nd field of a semiconductor base at each 3rd process of the 1st approach and the 2nd approach, furthermore, so that some patterns of the insulator layer of the 1st field may be made to overlap.

[0010] In addition, each 2nd electric conduction film of the 1st approach and the 2nd approach consists of WSi. Moreover, as for the 1st electric conduction film formed at the 1st process, boron (B) or 2 boron fluoride (BF₂) is introduced.

[0011]

[Function] By the 1st approach of this invention, the pattern which consists of the 1st electric conduction film is formed in the 1st field by one anisotropic etching, simultaneously the pattern which consists of the same 1st electric conduction film as the 1st field and the 2nd electric conduction film is formed in the 2nd field.

[0012] By the 2nd approach, in order to make the pattern of an insulator layer carry out and silicide—ization—react to a mask, the 1st electric conduction film remains in the 1st field. By performing one anisotropic etching still like the above, the pattern which consists of the 1st electric conduction film is formed in the 1st field, simultaneously the pattern which consists of the same 1st electric conduction film as the 1st field and the 2nd electric conduction film is formed in the 2nd field.

[0013]

[Example] Hereafter, the example of the 1st approach of this invention and the manufacture approach of the semiconductor device concerning the 2nd approach is explained based on a drawing. Drawing 1 is process drawing showing the 1st example of the 1st approach, and shows the case where form resistance in the 1st field of a semi-conductor base, and the gate of a nMOS transistor is formed in the 2nd field.

[0014] The 1st process first shown in drawing 1 (a) and drawing 1 (b) is performed. That is, thermal oxidation of 950 degrees C and 120min extent is performed using the existing LOCOS technique, and the field oxide 2 of about 400nm thickness is formed in semi-conductor base 1 front face which consists of Si as shown in drawing 1 (a). At this time, field oxide 2 is formed in the condition of surrounding 2nd field 1b of the semi-conductor base 1. A part of field in which field oxide 2 was formed is set to 1st field 1a. Then, although not illustrated, etching removes masks for oxidization, such as a nitride used with the LOCOS technique.

[0015] Subsequently, thermal oxidation between about 18 min is performed at about 950 degrees C, and about 20nm gate oxide 3 is formed in semi-conductor base 1 front face of 2nd field 1b. Then, at the temperature of about 650 degrees C, the Poly-Si film 4 is formed on field oxide 2 and gate oxide 3 by chemical vapor deposition (it is hereafter described as a CVD method). This becomes the 1st electric conduction film. Thickness of the Poly-Si film 4 is set to about 150nm.

[0016] Next, the impurity which determines the resistance of the resistance 8 to form all over Poly-Si film 4 is doped. although the same n mold as the gate 9 to form is sufficient as the impurity to dope -- B and BF₂ with the small temperature dependence of resistance etc. -- the thing of p mold is desirable. For example, he is BF₂ when sheet resistance forms the resistance 8 of p mold which is 2kohm/** extent. What is necessary is just to carry out an ion implantation by 30keV(s) and about [4.5x10¹⁴cm -] 2.

[0017] subsequently, it is shown in drawing 1 (b) -- as -- a CVD method -- the temperature of about 400 degrees C -- the Poly-Si film 4 top -- SiO₂ from -- the becoming insulator layer 5 is formed in about 150-300nm thickness. Then, after forming the resist film (not shown) on an insulator layer 5, pattern NINGU of the resist film is carried out with lithography, and the mixed-gas system of 3 oxygen (O₂) / methane fluoride (CHF₃) performs anisotropic etching further, for example. And the pattern of an insulator layer 5 is formed on the Poly-Si film 4 of 1st-field 1a of the semi-conductor base 1.

[0018] Next, in the 2nd process shown in drawing 1 (c), the WSi film 6 is formed on the Poly-Si film 4 at the temperature of about 400 degrees C with a CVD method. This becomes the 2nd electric conduction film. The WSi film 6 also forms the pattern of an insulator layer 5 in the state of a wrap, for example, forms it in about 100nm thickness.

[0019] then, the pattern of an insulator layer 5 -- a mask -- carrying out -- the inside of the 1st electric conduction film other than 1st field 1a, and the 2nd electric conduction film -- at least -- on the other hand, an impurity is doped. This doping is doping for forming the gate 9. In the 1st example, since the 2nd electric conduction film is formed by the WSi film 6, the ion implantation of the P is carried out to the Poly-Si film 4 of the 1st electric conduction film by 25keV(s) and about [5x10¹⁵cm -] 2. In addition, before the ion implantation concerned forms the WSi film 6 that is, it may be performed after the pattern formation of an insulator layer 5.

[0020] Subsequently, at the 3rd process shown in drawing 1 (d), the resist film 7 is formed on the WSi film 6. Then, the pattern of the resist film 7 is formed on the WSi film 6 of 2nd field 1b with lithography.

[0021] Then, at the 4th process shown in drawing 1 (e), anisotropic etching which used the mixed-gas

system of sulfur hexafluoride (SF₆)/dichlorotetrafluoroethane (C₂Cl₂F₄), for example is performed. And the Poly-Si film 4 and the WSi film 6 are removed in the condition of leaving the Poly-Si film 4 to 1st field 1a, and leaving the Poly-Si film 4 and the WSi film 6 to 2nd field 1b. Then, the resist film 7 is removed.

[0022] While the pattern of resistance 8 set to 1st field 1a from the Poly-Si film 4 is formed of the above process, the gate 9 of the polycide which is the laminated structure of the Poly-Si film 4 and the WSi film 6 is formed in 2nd field 1b. In addition, when manufacturing the semiconductor device containing resistance 8 and the nMOS transistor which has the gate 9, the process described further below is performed.

[0023] Drawing 2 is the sectional view of the semiconductor device formed of the 1st example. As illustrated, after the 4th process is n to the semi-conductor base 1 of 2nd field 1b by the existing technique. - The LDD field 10 of a mold, and n+ The source / drain field 11 of a mold are formed. Then, the contact hole 13 and wiring 14 which lead to each of the Poly-Si film 4 which forms an insulator layer 12 all over the semi-conductor base 1 in the condition that the pattern of the gate 9 and an insulator layer 5 is included, and forms resistance 8 further, and the source / drain field 11 are formed. By performing the above-mentioned process, the semiconductor device containing resistance 8 and the nMOS transistor 15 of the gate 9 of a polycide is formed.

[0024] In the 1st example of the above, the pattern of an insulator layer 5 becomes an etching mask while becoming the protective coat of the Poly-Si film 4 of 1st field 1a in the case of anisotropic etching. For this reason, the gate 9 of a polycide set to 2nd field 1b from the Poly-Si film 4 and the WSi film 6 is formed at the same time the pattern of resistance 8 set to 1st field 1a from the Poly-Si film 4 is formed by one anisotropic etching.

[0025] Therefore, since the process which etches the pattern of resistance 8 independently [the gate 9] becomes unnecessary, as compared with a conventional method, the number of production processes of the part can be reduced, and reduction of a manufacturing cost can be aimed at.

[0026] in order [moreover,] to form the resistance 8 of a p mold which is different in the gate 9 of n mold in the above-mentioned example — the Poly-Si film 4 whole surface — B and BF₂ etc. — when high-concentration p mold impurity is introduced, p mold impurity is introduced also into the Poly-Si film 4 of gate 9 part. However, since the 2nd electric conduction film is formed by the WSi film 6, even if p mold impurity is introduced into the Poly-Si film 4 of gate 9 part, the gate 9 of n mold can be formed easily. This is based on the following reasons.

[0027] That is, in the 1st example, in order to form the nMOS transistor of a surface channel, a polycide is doped in n mold. Therefore, when performing the ion implantation of n mold impurity all over Poly-Si film 4 at the 1st process, n mold high impurity concentration of the Poly-Si film 4 of the gate 9 is fully large, and the Poly-Si film 4 degenerates. However, the resistance 8 of n mold has the fault that the temperature dependence of resistance is large.

[0028] The resistance 8 of p mold has the advantage that the temperature dependence of resistance is as small as the abbreviation one half of n mold. When forming this p type of resistance 8, the ion implantation of the p mold impurity is carried out to the Poly-Si film 4 at the 1st process like the above-mentioned example. However, if the ion implantation of the p mold impurity is carried out, n mold ion which the p mold ion introduces into the Poly-Si film 4 at the 2nd process will be offset, and n mold high impurity concentration of the Poly-Si film 4 of the gate 9 will be reduced. Consequently, when an electrical potential difference is impressed to the gate 9, a depletion layer may spread in the Poly-Si film 4.

[0029] However, when the gate 9 is formed like the 1st example by the tungsten (W) polycide of the Poly-Si film 4 and the WSi film 6, p mold impurity introduced into the Poly-Si film 4 like a heat process like annealing at the time of the source / drain field 11 formation added at a next process is spread in the WSi film 6. That is, p mold impurity introduced into the Poly-Si film 4 is sucked up in the WSi film 6. Consequently, p mold high impurity concentration in the Poly-Si film 4 of the gate 9 falls.

[0030] As an example, B concentration in the Poly-Si film 4 and P concentration are about $[2 \times 10^{20} \text{cm}^{-3}]$ three, respectively, and the SIMS analysis result of B concentration in W polycide when heat-treating 20min extent at about 900 degrees C is shown in drawing 3. As illustrated, after B concentration in the Poly-Si film 4 which had about $[2 \times 10^{20} \text{cm}^{-3}]$ three at the beginning heat-treating, it falls to about $[2 \times 10^{18} \text{cm}^{-3}]$ three, and it turns out that the WSi film 6 is going up to about $[1 \times 10^{21} \text{cm}^{-3}]$ three on the contrary.

[0031] On the other hand, since P introduced into the Poly-Si film 4 is not sucked up in the WSi film 6, although not illustrated, P concentration in the Poly-Si film 4 is still as high as about $[2 \times 10^{20} \text{cm}^{-3}]$ three. B concentration which remains in the Poly-Si film 4 is 40 to about 1/100, and the Poly-Si film 4 degenerates, without almost being influenced. Therefore, by forming the gate 9 which forms the 2nd electric conduction film by the WSi film 6, and consists of a W polycide, also when forming the resistance 8 of p mold, the gate 9 of n mold can be formed easily.

[0032] In addition, although the impurity which determines the resistance of resistance 8 to Poly-Si4 after membrane formation of the Poly-Si film 4 of the 1st electric conduction film is introduced in the 1st example, it is also possible to introduce an impurity at the time of membrane formation of the Poly-Si film 4. Moreover, although the 1st electric conduction film was formed by the Poly-Si film 4 and the 2nd electric conduction film was formed by the WSi film 6 in the 1st example, it is not limited to this. For example, it is also possible to form the 2nd electric conduction film by refractory metals and those silicide film, such as W, titanium (Ti), cobalt (Co), nickel (nickel), molybdenum (Mo), and platinum (Pt).

[0033] Moreover, in order to form the gate 9 of a different conductivity type from resistance 8, the impurity is introduced at the 2nd process, but when the conductivity type of resistance 8 and the gate 9 is the same, it is not necessary to perform the introductory process of the impurity.

[0034] Next, the 2nd example of the 1st approach is explained. Drawing 4 is process drawing of the 2nd example, and drawing 5 is the contraction top view of drawing 4 (a). In the 2nd example, after performing the 1st process of the 1st example, the 2nd process, and the same process, the 3rd process shown in drawing 4 (a) and drawing 5 is performed. In addition, by drawing 5, the WSi film 6 is omitted on account of explanation.

[0035] That is, the resist film 7 is formed on the WSi film 6. Then, the pattern of the resist film 7 is formed on the WSi film 6 of 2nd field 1b with lithography in the condition of making some patterns of the insulator layer 5 of 1st field 1a overlapping. And anisotropic etching which used the pattern of an insulator layer 5 and the pattern of the resist film 7 as the mask is performed like the 4th process of the 1st example, and the resist film 7 is removed next.

[0036] In this 2nd example, since the pattern of the resist film 7 is formed in the condition of overlapping some patterns of an insulator layer 5, after anisotropic etching is formed in the condition that the gate 9 and the pattern of resistance 8 were connected by the WSi film 6 as shown in drawing 4 (b). Therefore, in the formation process of the contact hole 13 and wiring 14 which are performed after forming an insulator layer 12 all over the semi-conductor base 1, the contact hole 13 for connecting the gate 9 and the pattern of resistance 8 and formation of wiring 14 become unnecessary. Therefore, according to the 2nd example, a wiring process can be simplified.

[0037] Next, it explains using process drawing showing the 3rd example of the 1st approach in drawing 6. The 3rd example is an example in the case of manufacturing BiCMOS which has the bipolar (it is hereafter described as Bip) transistor of two-layer Poly-Si structure as a semiconductor device. Here, the base electrode of a Bip transistor is formed in the 1st field of a semi-conductor base, and the gate of an MOS transistor is formed in the 2nd field. Furthermore, the emitter of a Bip transistor and a collector are formed in the 3rd field of a semi-conductor base. In addition, the collector of a Bip transistor is omitted in drawing 6.

[0038] As first shown in drawing 6 (a), field oxide 2 is formed in semi-conductor base 1 front face which consists of Si like the 1st process of the 1st example. The field film 2 is formed in the condition of surrounding 2nd field 1b and 3rd field 1c, in that case. A part of field in which this field oxide 2 was

formed is set to 1st field 1a. And it oxidizes thermally and an oxide film (not shown) is formed in gate oxide 3 and semi-conductor base 1 front face of 3rd field 1c at 2nd field 1b.

[0039] Subsequently, lithography and etching remove the oxide film of 3rd field 1c. Then, with a CVD method, the Poly-Si film 4 is formed in the whole semi-conductor base 1 front face as the 1st electric conduction film. Thickness of the Poly-Si film 4 is set to about 150nm. Next, all over Poly-Si film 4, doping for base-electrode 21 formation is performed. For example, to the Poly-Si film 4 whole surface, he is BF₂ of p mold. An ion implantation is carried out by 30keV(s) and about $[3 \times 10^{15} \text{cm}^{-2}]$. In order to reduce resistance of a base electrode 21, p mold high impurity concentration is higher than the case of the resistance 8 which the 1st example explained.

[0040] subsequently, the 1st example -- the same -- carrying out -- the Poly-Si film 4 top -- SiO₂ from -- the becoming insulator layer 5 is formed. Furthermore by lithography and anisotropic etching, the pattern of an insulator layer 5 is formed on the Poly-Si film 4 of 1st field 1a of the semi-conductor base 1, and 3rd field 1c. Next, the WSi film 6 as the 2nd electric conduction film is formed on the Poly-Si film 4 like the 2nd process of the 1st example. The WSi film 6 also forms the pattern of an insulator layer 5 in the state of a wrap, for example, forms it in about 100nm thickness.

[0041] then, the pattern of an insulator layer 5 -- a mask -- carrying out -- the inside of the 1st electric conduction film other than 1st field 1a and 3rd field 1b, and the 2nd electric conduction film -- at least -- on the other hand, an impurity is doped. This doping is doping for forming the gate 9. Since the 2nd electric conduction film is formed by the WSi film 6 in the 3rd example, the ion implantation of the P is carried out to the Poly-Si film 4 of the 1st electric conduction film by 25keV(s) and about $[5 \times 10^{15} \text{cm}^{-2}]$. In addition, after forming the pattern of an insulator layer 5, the ion implantation concerned may be performed before forming the WSi film 6.

[0042] Subsequently, the pattern of the resist film 7 is formed on the WSi film 6 of 2nd field 1b like the 3rd process of the 1st example. Then, as shown in drawing 6 (b), the Poly-Si film 4 and the WSi film 6 are removed in the condition of performing anisotropic etching like the 4th process of the 1st example, and leaving the Poly-Si film 4 to 1st field 1a and 3rd field 1c, and leaving the Poly-Si film 4 and the WSi film 6 to 2nd field 1b. Then, the resist film 7 is removed.

[0043] While the base electrode 21 set to 1st field 1a from the Poly-Si film 4 is formed of the above process, the gate 9 of the polycide which is the laminated structure of the Poly-Si film 4 and the WSi film 6 is formed in 2nd field 1b.

[0044] In addition, BiCMOS which has the Bip transistor of two-layer Poly-Si structure by performing the process further shown in drawing 6 R> 6 (c) is formed, i.e., after removal of the resist film 7 is n to the semi-conductor base 1 of 2nd field 1b by the existing technique. -- The LDD field 10 of a mold, and n+ The source / drain field 11 of a mold are formed. Then, an insulator layer 12 is formed all over the semi-conductor base 1 in the condition that the pattern of the gate 9 and an insulator layer 5 is included.

[0045] Furthermore, after forming the contact hole 24 which reaches the semi-conductor base 1 in 3rd field 1c which forms an emitter 22, p mold diffusion layer 25 is formed in the semi-conductor base 1 of the lower part of a contact hole 24. In addition, in the circumference of p mold diffusion layer 25 of the semi-conductor base 1, it is p+ by annealing at the time of the source / the drain field 11 formation above-mentioned since B which is high-concentration p mold impurity is introduced into the Poly-Si film 4. The mold diffusion layer 26 is formed.

[0046] Subsequently, the front face of a contact hole 24 is included and it is n+ on an insulator layer 12. After forming the Poly-Si film 28 of a mold, the pattern of the Poly-Si film 28 is formed in 3rd field 1c. And an insulator layer 29 is further formed all over insulator layer 12 except the Poly-Si film 28 top formed in contact hole 24 front face, and the contact hole 13 and wiring (not shown) which lead to the Poly-Si film 4 of 1st field 1b and each of the source / drain field 11 further are formed. Of this, BiCMOS which consists of a Bip transistor 23 of two-layer Poly-Si structure and a nMOS transistor 15 of the gate 9 of a polycide is formed.

[0047] Also in the 3rd example, the pattern of the gate 9 and the pattern of a base electrode 21 are formed by one anisotropic etching. For this reason, as compared with a conventional method, it is a small routing counter, and BipCMOS which consists of a Bip transistor 23 of two-layer Poly-Si structure and a nMOS transistor 15 of the gate 9 of a polycide can be manufactured by low cost.

[0048] Moreover, in the above-mentioned example, about $[2 \times 10^{20} \text{cm}^{-3}]$ three B and P are doped in the Poly-Si film 4 of the gate 9. However, after wanting to form the 2nd electric conduction film which constitutes a polycide by the WSi film, the WSi film 6 sucks up B like a heat process, and the concentration of B falls about $[2 \text{ to } 5 \times 10^{18} \text{cm}^{-3}]$ to three. Consequently, the Poly-Si film 4 of the gate 9 is doped by high-concentration n mold, and degenerates. Therefore, also when forming the base electrode 21 of p mold, the gate 9 of n mold can be formed easily.

[0049] In addition, in the Bip transistor 23 of two-layer Poly-Si structure, if a base electrode 21 is formed for example, by W polycide, p mold impurity in Poly-Si of W polycide, for example, B, will be sucked up in WSi of W polycide. And p mold high impurity concentration in Poly-Si will fall, diffusion of B to the inside of the semi-conductor base 1 will be controlled, and contact resistance with Poly-Si and Si of the semi-conductor base 1 will increase. Therefore, when forming the Bip transistor 23 of two-layer Poly-Si structure, it is desirable not to form a base electrode 21 by W polycide, but to form by Poly-Si, as the 3rd example described.

[0050] Next, an example of the 2nd approach of this invention is explained using process drawing shown in drawing 7. In this example, resistance is formed in the 1st field of a semi-conductor base, and the gate of a nMOS transistor is formed in the 2nd field. The 1st process first stated in the 1st example of the 1st approach is performed. Then, the 2nd process shown in drawing 7 (a) is performed.

[0051] At the 2nd process, the refractory metal film which consists of Ti, W, Co, nickel, Mo, and Pt is formed on the Poly-Si film 4 of the 1st electric conduction film. In this example, the W film 31 is formed on the Poly-Si film 4 of the 1st electric conduction film with about 700-degree C CVD method, for example using the mixed-gas system of 6 tungsten fluoride (WF₆) and hydrogen (H₂). The W film 31 also forms the pattern of an insulator layer 5 in the state of a wrap, for example, forms it in about 80nm thickness. In addition, the W film 31 may be formed by the sputtering method.

[0052] Then, annealing for about 10 - 30 minutes is performed at the temperature of about 700-800 degrees C. By performing annealing, as shown in drawing 7 (b), the Poly-Si film 4 and the W film 31 other than 1st field 1a silicide-ization-react. And the WSi film 6 is formed on Poly-Si film 4 other than 1st field 1a. Moreover, the W film 31 on pattern NINGU of an insulator layer 5 remains, while it has been unreacted.

[0053] then, the 2nd process of the 1st example — the same — carrying out — the inside of the 1st electric conduction film other than 1st field 1a, and the 2nd electric conduction film — at least — on the other hand, an impurity is doped. Since the 2nd electric conduction film consists of WSi in this example, the ion implantation of the P is carried out to the Poly-Si film 4 of the 1st electric conduction film by 25keV(s) and about $[5 \times 10^{15} \text{cm}^{-2}]$ 2.

[0054] Subsequently, at the 3rd process, as shown in drawing 7 (b), the unreacted W film 31 is alternatively removed using wet etching. Then, the pattern of the resist film 7 is formed on the WSi film 6 of 2nd field 1b like the 3rd process of the 1st example. And anisotropic etching is performed like the 4th process of the 1st example. In addition, the unreacted W film 31 may be removed to the Poly-Si film 4, the WSi film 6, and coincidence in the case of anisotropic etching, or may be removed by dry etching before anisotropic etching.

[0055] While the pattern of the resistance 8 of p mold set to 1st field 1a from the Poly-Si film 4 is formed of the above process, the gate 9 of the polycide of n mold which is the laminated structure of the Poly-Si film 4 and the WSi film 6 is formed in 2nd field 1b.

[0056] In this example, in order to make the pattern of the insulator layer 5 of 1st field 1a carry out and silicide-ization-react to a mask, the Poly-Si film 4 remains in 1st field 1a. Moreover, the pattern of resistance 8 and the polycide of the gate 9 can be formed by one anisotropic etching like the 1st

example of the 1st approach. Therefore, since it can manufacture by the small routing counter as compared with a conventional method, a manufacturing cost can be reduced.

[0057] In addition, in the above-mentioned example, although the Poly-Si film 4 is formed as the 1st electric conduction film, if formed with the ingredient which uses Si as a principal component at least, it will not be limited to this. Moreover, in order to form the gate 9 of a different conductivity type from resistance 8, the impurity is introduced at the 2nd process, but when the conductivity type of resistance 8 and the gate 9 is the same, it is not necessary to perform the introductory process of the impurity.

[0058] Furthermore by the above-mentioned example, the pattern of the resist film 7 was formed in the condition of having separated completely [the pattern of an insulator layer 5], on the WSi film 6 of 2nd field 1b. However, it is also possible to form the pattern of the resist film 7 in the condition of making some patterns of an insulator layer 5 overlapping, like the 2nd example of the 1st approach mentioned above. By forming as mentioned above, the gate 9 and the pattern of resistance 8 are connectable with the WSi film 6 and the W film 31.

[0059] The numeric value used by explanation of each above-mentioned example is an example, and is not limited to the value.

[0060]

[Effect of the Invention] As explained above, while the pattern which consists of the 1st electric conduction film can be formed in the 1st field by one anisotropic etching which used the pattern of an insulator layer, and the pattern of the resist film as the mask according to the 1st approach of this invention, the pattern which consists of the same 1st electric conduction film as the 2nd field and the 2nd electric conduction film can be formed. Therefore, since a semiconductor device can be manufactured by the small routing counter as compared with the former, a manufacturing cost can be reduced. According to the 2nd approach, since the pattern of the insulator layer of the 1st field is made to carry out and silicide—ization—react to a mask, it can leave the 1st electric conduction film to the 1st field. Moreover, since the pattern of an insulator layer and the pattern of the resist film are used as a mask and anisotropic etching is performed, the same effectiveness as the 1st approach is acquired.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is process drawing showing the 1st example of the 1st approach.

[Drawing 2] It is the sectional view of the semiconductor device formed of the 1st example.

[Drawing 3] It is the graph which shows the SIMS analysis result of B concentration in W polycide.

[Drawing 4] It is process drawing showing the 2nd example of the 1st approach.

[Drawing 5] It is the contraction top view of drawing 4 (a).

[Drawing 6] It is process drawing showing the 3rd example of the 1st approach.

[Drawing 7] It is process drawing showing an example of the 2nd approach.

[Drawing 8] It is process drawing showing the conventional example of the manufacture approach of a semiconductor device.

[Description of Notations]

1 Semi-conductor Base

1a The 1st field

1b The 2nd field

4 Poly-Si Film (1st Electric Conduction Film)

5 Insulator Layer

6 WSi Film (2nd Electric Conduction Film)

7 Resist Film

31 W Film (Refractory Metal Film)

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102505

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁹

H 0 1 L 21/8249

27/06

21/28

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 T

H 0 1 L 27/ 06

21/ 88

3 2 1 F

B

審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平6-236721

(22) 出願日

平成6年(1994)9月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 安茂 博章

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の製造方法

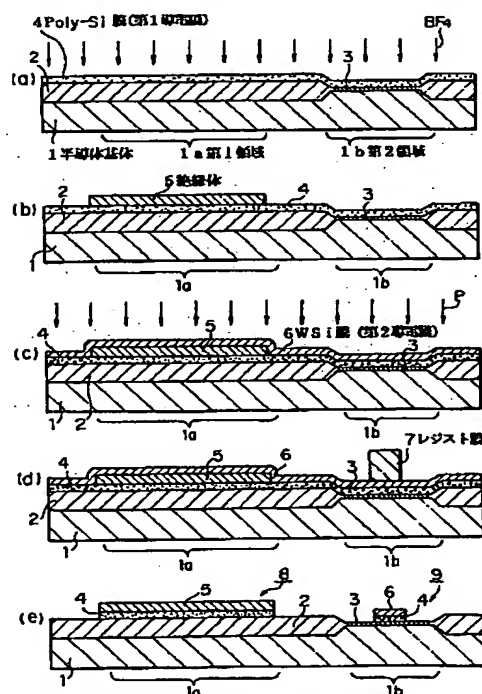
(57) 【要約】

【目的】 製造工程数を削減して製造コストの低減を図る。

【構成】 第1工程では、図1 (a) に示すように半導体基体1表面に第1導電膜としてPoly-Si膜4と絶縁膜5とを順に形成する。その後、図1 (b) に示すように半導体基体1の第1領域1aに絶縁膜5のパターンを形成する。次いで図1 (c) に示す第2工程では、その絶縁膜5のパターンを覆う状態でPoly-Si膜4上に第2導電膜としてのWSi膜6を形成する。続いて図1

(d) に示す第3工程で、半導体基体1の第2領域1bにレジスト膜7のパターンを形成する。さらに図1

(e) に示す第4工程では異方性エッチングを行って、Poly-Si膜4とWSi膜6とを除去する。この第4工程では、第1領域1bにPoly-Si膜4を残すようにまた第2領域1bにはPoly-Si膜4とWSi膜6とを残すように異方性エッチングを行う。



第1の方法の第1実施例を示す工程図

(2)

【特許請求の範囲】

【請求項1】 半導体基体表面に第1導電膜と絶縁膜とを順に形成した後、前記半導体基体の第1領域に前記絶縁膜のパターンを形成する第1工程と、前記絶縁膜のパターンを覆う状態で前記第1導電膜上に第2導電膜を形成する第2工程と、前記半導体基体の第2領域にレジスト膜のパターンを形成する第3工程と、異方性エッチングを行って、前記第1領域に前記第1導電膜を残しかつ前記第2領域に前記第1導電膜と前記第2導電膜とを残す状態で該第1導電膜と該第2導電膜とを除去する第4工程とからなることを特徴とする半導体装置の製造方法。

【請求項2】 半導体基体表面に、少なくともシリコンを主成分とする材料からなる第1導電膜と、絶縁膜とを順に形成した後、前記半導体基体の第1領域に前記絶縁膜のパターンを形成する第1工程と、前記絶縁膜のパターンを覆う状態で前記第1導電膜上に高融点金属膜を形成した後熱処理を行って、前記第1領域以外に前記第1導電膜と前記高融点金属膜とがシリサイド化反応してなる第2導電膜を形成し、さらに未反応な前記高融点金属膜を除去する第2工程と、前記半導体基体の第2領域にレジスト膜のパターンを形成する第3工程と、異方性エッチングを行って、前記第1領域に前記第1導電膜を残しかつ前記第2領域に前記第1導電膜と前記第2導電膜とを残す状態で該第1導電膜と該第2導電膜とを除去する第4工程とからなることを特徴とする半導体装置の製造方法。

【請求項3】 半導体基体表面に、少なくともシリコンを主成分とする材料からなる第1導電膜と、絶縁膜とを順に形成した後、前記半導体基体の第1領域に前記絶縁膜のパターンを形成する第1工程と、前記絶縁膜のパターンを覆う状態で前記第1導電膜上に高融点金属膜を形成した後熱処理を行って、前記第1領域以外に前記第1導電膜と前記高融点金属膜とがシリサイド化反応してなる第2導電膜を形成する第2工程と、前記半導体基体の第2領域にレジスト膜のパターンを形成する第3工程と、異方性エッチングを行って、前記第1領域の未反応な前記高融点金属膜を除去するとともに前記第1領域に前記第1導電膜を残しかつ前記第2領域に前記第1導電膜と前記第2導電膜とを残す状態で該第1導電膜と該第2導電膜とを除去する第4工程とからなることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1ないし請求項3いずれか1項に記載の半導体装置の製造方法において、前記第1工程と前記第2工程との間に、前記絶縁膜のパターンをマスクにして前記第1領域以外に前記第1導電

膜に不純物を導入する工程を行うもしくは、前記第2工程と前記第3工程との間に、前記絶縁膜のパターンをマスクにして前記第1領域以外に前記第1導電膜と前記第2導電膜とのうちの少なくとも一方に不純物を導入する工程を行うことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1ないし請求項4いずれか1項に記載の半導体装置の製造方法において、

前記第3工程では、前記レジスト膜のパターンを、前記第1領域の絶縁膜のパターンの一部にオーバーラップさせた状態で前記半導体基体の第2領域に形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1ないし請求項5いずれか1項に記載の半導体装置の製造方法において、

前記第2導電膜はタングステンシリサイドからなり、かつ前記第1工程で形成された第1導電膜はホウ素またはニフツ化ホウ素が導入されてなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばMOSトランジスタと抵抗またはバイポーラトランジスタとを含む半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 従来、MOSトランジスタのゲートを n^+ 型ポリシリコン(Poly-Si)と高融点金属のシリサイドとの積層構造であるポリサイドで形成する場合、ゲートの低抵抗化を図るためにそのポリサイドとは別にPoly-Siからなる抵抗を形成している。図8はそのようなポリサイドゲートを有するMOSトランジスタと抵抗とを含む半導体装置の製造方法の従来例を示したものである。

【0003】 図8(a)に示すように従来法では、まずシリコン(Si)からなる基体の50表面にフィールド酸化膜51を形成する。その後、フィールド酸化膜51で囲まれた素子形成予定領域52の基体50表面に、ゲート酸化膜53、 n 型のPoly-Si膜54およびタングステンシリサイド(WSi)膜55を順に積層したもので構成されるポリサイドゲート56を形成する。そして、素子形成予定領域52の基体50に、例えば n^- 型のLDD(Lightly Doped Drain)領域57、 n^+ 型のソース/ドレイン領域58などを形成する。

【0004】 次に、図8(b)に示すようにポリサイドゲート56を含んで基体50の全面に酸化シリコン(SiO_2)膜59を形成する。この後、フィールド酸化膜51上の SiO_2 膜59上に、 p 型のPoly-Si膜60からなる抵抗61のパターンを形成する。そして図8(c)に示すように、Poly-Si膜60を含む状態で SiO_2 膜59上に絶縁膜62を形成した後、Poly-Si膜60、ソース/ドレイン領域58のそれぞれに通じるコンタクトホール63と配線64とを形成する。以上の

(3)

工程によって、ポリサイドゲート56のMOSトランジスタ65と抵抗61とを含む半導体装置66を形成している。

【0005】

【発明が解決しようとする課題】上記したように従来法では、ゲートを形成するポリサイドで抵抗を形成することができないので、ゲートとは別に抵抗用のPoly-Si膜を成膜してパターンニングを行っている。このため製造工程数が増加し、製造コストの増大を招いている。本発明は上記課題を解決するためになされたものであり、製造工程数を削減できかつ製造コストを低減できる半導体装置の製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】上記課題を解決するための本発明の第1の方法では、まず第1工程で、半導体基体表面に第1導電膜と絶縁膜とを順に形成する。その後、半導体基体の第1領域に絶縁膜のパターンを形成する。次いで第2工程では、その絶縁膜のパターンを覆う状態で第1導電膜上に第2導電膜を形成する。続いて第3工程で、上記半導体基体の第2領域にレジスト膜のパターンを形成する。さらに第4工程では異方性エッチングを行って、第1導電膜と第2導電膜とを除去することによって、半導体装置を製造する。この第4工程では、第1領域に第1導電膜を残すようにまた第2領域には第1導電膜と第2導電膜とを残すように異方性エッチングを行う。

【0007】第2の方法では、まず上記第1の方法の第1工程を行う。その際、第1導電膜を少なくともシリコンを主成分とする材料で形成する。第2工程では、絶縁膜のパターンを覆うように第1導電膜上に高融点金属膜を形成する。この後に熱処理を行って、第1領域以外の第1導電膜と高融点金属膜とをシリサイド化反応させ、シリサイド膜からなる第2導電膜を形成する。また、さらに未反応な高融点金属膜を除去する。そして、上記第1方法の第3工程と第4工程とを順に行う。

【0008】上記第2の方法の第2工程で行う未反応な高融点金属膜の除去は、第2工程で行わずに第3工程の異方性エッチングによって除去することも可能である。

【0009】また第1の方法、第2の方法では、第1工程と第2工程との間に、絶縁膜のパターンをマスクにして第1領域以外の第1導電膜に不純物を導入する工程を行っても良い。もしくは、第2工程と第3工程との間に、絶縁膜のパターンをマスクにして第1領域以外の第1導電膜と第2導電膜とのうちの少なくとも一方に不純物を導入する工程を行っても良い。さらに第1の方法、第2の方法のそれぞれの第3工程では、レジスト膜のパターンを、第1領域の絶縁膜のパターンの一部にオーバーラップさせるように半導体基体の第2領域に形成することも可能である。

【0010】なお、第1の方法、第2の方法のそれぞれ

の第2導電膜は、例えばWSiからなる。また第1工程で形成された第1導電膜は、例えばホウ素(B)または二フッ化ホウ素(BF₂)が導入されているものである。

【0011】

【作用】本発明の第1の方法では、一回の異方性エッチングで、第1領域に第1導電膜からなるパターンが形成されと同時に第2領域には第1領域と同じ第1導電膜と第2導電膜とからなるパターンが形成される。

【0012】第2の方法では、絶縁膜のパターンをマスクにしてシリサイド化反応させるため、第1領域には第1導電膜が残る。さらに上記と同様にして一回の異方性エッチングを行うことで、第1領域に第1導電膜からなるパターンが形成されと同時に第2領域には第1領域と同じ第1導電膜と第2導電膜とからなるパターンが形成される。

【0013】

【実施例】以下、本発明の第1の方法、第2の方法に係る半導体装置の製造方法の実施例を図面に基づいて説明する。図1は第1の方法の第1実施例を示す工程図であり、半導体基体の第1領域に抵抗を形成し、第2領域にnMOSトランジスタのゲートを形成する場合を示したものである。

【0014】まず図1(a)、図1(b)に示す第1工程を行う。すなわち、既存のLOCOS技術を用いて950℃、120min程度の熱酸化を行い、図1(a)に示すようにSiからなる半導体基体1表面に400nm程度の膜厚のフィールド酸化膜2を形成する。このときフィールド酸化膜2を半導体基体1の第2領域1bを囲む状態で形成する。フィールド酸化膜2が形成された領域の一部が第1領域1aになる。その後、図示しないが、LOCOS技術で用いた窒化膜などの酸化用マスクをエッチングによって除去する。

【0015】次いで、950℃程度で約18min間の熱酸化を行って、第2領域1bの半導体基体1表面に20nm程度のゲート酸化膜3を形成する。続いて化学的気相成長法(以下、CVD法と記す)により約650℃の温度で、フィールド酸化膜2上およびゲート酸化膜3上にPoly-Si膜4を形成する。これが第1導電膜になる。Poly-Si膜4の膜厚は、例えば150nm程度にする。

【0016】次にPoly-Si膜4全面に、形成する抵抗8の抵抗値を決める不純物のドーピングを行う。ドーピングする不純物は形成するゲート9と同じn型でも良いが、抵抗値の温度依存性が小さい例えばBやBF₂などのp型のものが望ましい。例えばシート抵抗値が2kΩ/□程度のp型の抵抗8を形成する場合、BF₂を3.0keV、4.5×10¹⁴cm⁻²程度でイオン注入すれば良い。

【0017】次いで図1(b)に示すように、CVD法

(4)

5

により約400℃程度の温度で、Poly-Si膜4上にSiO₂からなる絶縁膜5を150～300nm程度の膜厚に形成する。続いて絶縁膜5上にレジスト膜（図示せず）を形成した後、リソグラフィによってレジスト膜をパターンニングし、さらに例えば酸素（O₂）／三フッ化メタン（CHF₃）の混合ガス系により異方性エッチングを行う。そして、半導体基体1の第1領域1aのPoly-Si膜4上に絶縁膜5のパターンを形成する。

【0018】次に図1（c）に示す第2工程では、CVD法により約400℃程度の温度でPoly-Si膜4上にWSi膜6を形成する。これが第2導電膜になる。WSi膜6は絶縁膜5のパターンをも覆う状態で形成し、例えば100nm程度の膜厚に形成する。

【0019】その後、絶縁膜5のパターンをマスクにして、第1領域1a以外の第1導電膜と第2導電膜とのうちの少なくとも一方に不純物をドーピングする。このドーピングはゲート9を形成するためのドーピングである。第1実施例では、WSi膜6で第2導電膜が形成されているので、第1導電膜のPoly-Si膜4に例えばPを25keV、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入する。なお当該イオン注入は、WSi膜6を形成する前、つまり絶縁膜5のパターン形成の後に行っても良い。

【0020】次いで図1（d）に示す第3工程では、WSi膜6上にレジスト膜7を形成する。この後、リソグラフィによって第2領域1bのWSi膜6上にレジスト膜7のパターンを形成する。

【0021】続いて図1（e）に示す第4工程では、例えば六フッ化イオウ（SF₆）／ジクロロテトラフルオロエタン（C₂Cl₂F₄）の混合ガス系を用いた異方性エッチングを行う。そして、第1領域1aにPoly-Si膜4を残しかつ第2領域1bにPoly-Si膜4とWSi膜6とを残す状態でPoly-Si膜4とWSi膜6とを除去する。その後、レジスト膜7を除去する。

【0022】以上の工程によって、第1領域1aにPoly-Si膜4からなる抵抗8のパターンが形成されるとともに、第2領域1bにPoly-Si膜4とWSi膜6との積層構造であるポリサイドのゲート9が形成される。なお、抵抗8とゲート9を有するnMOSトランジスタとを含む半導体装置を製造する場合は、さらに以下に述べる工程を行う。

【0023】図2は第1実施例により形成される半導体装置の断面図である。図示したように第4工程の後には、既存技術によって第2領域1bの半導体基体1に、例えばn⁻型のLDD領域10、n⁺型のソース／ドレイン領域11を形成する。その後、ゲート9および絶縁膜5のパターンを含む状態で半導体基体1の全面に絶縁膜12を形成し、さらに抵抗8を形成するPoly-Si膜4、ソース／ドレイン領域11のそれぞれに通じるコンタクトホール13と配線14とを形成する。上記プロセスを行うことによって、抵抗8とポリサイドのゲート9のn

6

MOSトランジスタ15とを含む半導体装置が形成される。

【0024】上記第1実施例では、絶縁膜5のパターンは、異方性エッチングの際において第1領域1aのPoly-Si膜4の保護膜になるとともにエッチングマスクになる。このため、一回の異方性エッチングで、第1領域1aにPoly-Si膜4からなる抵抗8のパターンが形成されると同時に第2領域1bにPoly-Si膜4とWSi膜6とからなるポリサイドのゲート9とが形成される。

【0025】したがって、ゲート9とは別に抵抗8のパターンをエッチングする工程が不要になるため、従来法に比較してその分の製造工程数を削減することができ、製造コストの低減を図ることができる。

【0026】また上記実施例では、n型のゲート9とは異なるp型の抵抗8を形成するためにPoly-Si膜4全面にBやBF₂などの高濃度のp型不純物を導入した場合、ゲート9部分のPoly-Si膜4にもp型不純物が導入される。しかしながらWSi膜6で第2導電膜を形成しているため、ゲート9部分のPoly-Si膜4にp型不純物が導入されても、n型のゲート9を容易に形成することができる。これは以下のような理由による。

【0027】すなわち第1実施例では、表面チャネルのnMOSトランジスタを形成するために、ポリサイドをn型にドーピングする。よって、第1工程でPoly-Si膜4全面にn型不純物のイオン注入を行う場合は、ゲート9のPoly-Si膜4のn型不純物濃度は十分に大きく、Poly-Si膜4は縮退する。しかし、n型の抵抗8は抵抗値の温度依存性が大きいという欠点がある。

【0028】p型の抵抗8は、抵抗値の温度依存性がn型の約半分と小さいという利点がある。このp型の抵抗8を形成する場合は、上記実施例のように第1工程でPoly-Si膜4にp型不純物をイオン注入する。ところが、p型不純物をイオン注入するとそのp型イオンが第2工程でPoly-Si膜4に導入するn型イオンを相殺して、ゲート9のPoly-Si膜4のn型不純物濃度を低下させる。その結果、ゲート9に電圧を印加したときに、Poly-Si膜4中に空乏層が広がる可能性がある。

【0029】しかしながら、第1実施例のようにゲート9がPoly-Si膜4とWSi膜6とのタングステン

(W)ポリサイドで形成されている場合、後の工程で加わるソース／ドレイン領域11形成時のアニールのような熱工程によってPoly-Si膜4中に導入されたp型不純物がWSi膜6中に拡散する。つまり、Poly-Si膜4中に導入されたp型不純物がWSi膜6中に吸い取られる。その結果、ゲート9のPoly-Si膜4中のp型不純物濃度は低下する。

【0030】例として、Poly-Si膜4中のB濃度、P濃度がそれぞれ $2 \times 10^{20} \text{ cm}^{-3}$ 程度であり、約900℃で20min程度の熱処理を行ったときのWポリサイド中のB濃度のSIMS分析結果を図3に示す。図示し

(5)

7
 たように、当初 $2 \times 10^{20} \text{ cm}^{-3}$ 程度あった Poly-Si 膜 4 中の B 濃度が熱処理後は $2 \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度まで低下し、反対に WSi 膜 6 が $1 \times 10^{21} \text{ cm}^{-3}$ 程度まで上昇しているのがわかる。

【0031】一方、Poly-Si 膜 4 中に導入されている P は WSi 膜 6 中に吸い取られることはないため、図示しないが Poly-Si 膜 4 中の P 濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 程度と高いままである。Poly-Si 膜 4 中に残存している B 濃度は $40 \sim 100$ 分の 1 程度であり、Poly-Si 膜 4 はほとんど影響を受けることなく縮退する。したがって、WSi 膜 6 で第 2 導電膜を形成して W ポリサイドからなるゲート 9 を形成することにより、p 型の抵抗 8 を形成する場合にも n 型のゲート 9 を容易に形成することができる。

【0032】なお、第 1 実施例では、第 1 導電膜の Poly-Si 膜 4 の成膜後に Poly-Si 4 に対して抵抗 8 の抵抗値を決める不純物の導入を行っているが、Poly-Si 膜 4 の成膜時に不純物を導入することも可能である。また第 1 実施例では第 1 導電膜を Poly-Si 膜 4、第 2 導電膜を WSi 膜 6 で形成したが、これに限定されるものではない。例えば第 2 導電膜を W、チタン (Ti)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo) およびプラチナ (Pt) などの高融点金属やそれらのシリサイド膜で形成することも可能である。

【0033】また抵抗 8 と異なる導電型のゲート 9 を形成するために、第 2 工程で不純物の導入を行っているが、抵抗 8 とゲート 9 の導電型が同じ場合にはその不純物の導入工程を行う必要がない。

【0034】次に、第 1 の方法の第 2 実施例を説明する。図 4 は第 2 実施例の工程図であり、図 5 は図 4

(a) の縮小平面図である。第 2 実施例では、第 1 実施例の第 1 工程、第 2 工程と同様の工程を行った後、図 4 (a) および図 5 に示す第 3 工程を行う。なお、説明の都合上、図 5 では WSi 膜 6 を省略してある。

【0035】すなわち、WSi 膜 6 上にレジスト膜 7 を形成する。その後、リソグラフィによって、第 1 領域 1 a の絶縁膜 5 のパターンの一部にオーバーラップさせる状態で第 2 領域 1 b の WSi 膜 6 上にレジスト膜 7 のパターンを形成する。そして、第 1 実施例の第 4 工程と同様に、絶縁膜 5 のパターンとレジスト膜 7 のパターンとをマスクとした異方性エッチングを行い、この後にレジスト膜 7 を除去する。

【0036】この第 2 実施例では、レジスト膜 7 のパターンは絶縁膜 5 のパターンの一部にオーバーラップする状態に形成されるため、異方性エッチング後は図 4

(b) に示すようにゲート 9 と抵抗 8 のパターンとが WSi 膜 6 で接続された状態に形成される。したがって、半導体基体 1 の全面に絶縁膜 1 2 を形成した後に行うコンタクトホール 1 3 と配線 1 4 との形成工程では、ゲート 9 と抵抗 8 のパターンとを接続するためのコンタクト

8

ホール 1 3 および配線 1 4 の形成が不要になる。よって第 2 実施例によれば、配線工程を簡略化することができる。

【0037】次に、第 1 の方法の第 3 実施例を図 6 に示す工程図を用いて説明する。第 3 実施例は半導体装置として、2 層 Poly-Si 構造のバイポーラ (以下、Bi p と記す) トランジスタを有する Bi CMOS を製造する場合の例である。ここでは、半導体基体の第 1 領域に Bi p トランジスタのベース電極を形成し、第 2 領域に MOS トランジスタのゲートを形成する。さらに半導体基体の第 3 領域に Bi p トランジスタのエミッタ、コレクタを形成する。なお、図 6 では Bi p トランジスタのコレクタを省略してある。

【0038】まず図 6 (a) に示すように、第 1 実施例の第 1 工程と同様にして、Si からなる半導体基体 1 表面にフィールド酸化膜 2 を形成する。その際、フィールド膜 2 を第 2 領域 1 b と第 3 領域 1 c とを囲む状態で形成する。このフィールド酸化膜 2 が形成された領域の一部が第 1 領域 1 a になる。そして、熱酸化を行って第 2 領域 1 b にゲート酸化膜 3、第 3 領域 1 c の半導体基体 1 表面に酸化膜 (図示せず) を形成する。

【0039】次いでリソグラフィとエッチングとによって、第 3 領域 1 c の酸化膜を除去する。続いて CVD 法によって、半導体基体 1 表面全体に第 1 導電膜として Poly-Si 膜 4 を形成する。Poly-Si 膜 4 の膜厚は、例えば 150 nm 程度にする。次に Poly-Si 膜 4 全面に、ベース電極 2 1 形成用のドーピングを行う。例えば Poly-Si 膜 4 全面に、p 型の BF_2 を 30 keV 、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入する。ベース電極 2 1 の抵抗を低減するため、p 型不純物濃度は第 1 実施例の説明した抵抗 8 の場合よりも高くなっている。

【0040】次いで、第 1 実施例と同様にして Poly-Si 膜 4 上に SiO_2 からなる絶縁膜 5 を形成する。さらにリソグラフィおよび異方性エッチングによって、半導体基体 1 の第 1 領域 1 a および第 3 領域 1 c の Poly-Si 膜 4 上に絶縁膜 5 のパターンを形成する。次に第 1 実施例の第 2 工程と同様にして、Poly-Si 膜 4 上に第 2 導電膜としての WSi 膜 6 を形成する。WSi 膜 6 は絶縁膜 5 のパターンをも覆う状態で形成し、例えば 100 nm 程度の膜厚に形成する。

【0041】その後、絶縁膜 5 のパターンをマスクにして、第 1 領域 1 a および第 3 領域 1 b 以外の第 1 導電膜と第 2 導電膜とのうちの少なくとも一方に不純物をドーピングする。このドーピングはゲート 9 を形成するためのドーピングである。第 3 実施例では WSi 膜 6 で第 2 導電膜が形成されているので、第 1 導電膜の Poly-Si 膜 4 に例えば P を 25 keV 、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入する。なお当該イオン注入は、絶縁膜 5 のパターンを形成した後で、WSi 膜 6 を形成する前に行っても良い。

(6)

9

【0042】次いで第1実施例の第3工程と同様にし、第2領域1bのWSi膜6上にレジスト膜7のパターンを形成する。続いて図6(b)に示すように、第1実施例の第4工程と同様にして異方性エッチングを行って、第1領域1aと第3領域1cとにPoly-Si膜4を残しかつ第2領域1bにPoly-Si膜4とWSi膜6とを残す状態でPoly-Si膜4とWSi膜6とを除去する。その後、レジスト膜7を除去する。

【0043】以上の工程によって、第1領域1aにPoly-Si膜4からなるベース電極21が形成されるとともに、第2領域1bにPoly-Si膜4とWSi膜6との積層構造であるポリサイドのゲート9が形成される。

【0044】なお、レジスト膜7の除去後は、さらに図6(c)に示す工程を行うことによって2層Poly-Si構造のBipトランジスタを有するBipCMOSが形成されるすなわち、既存技術によって第2領域1bの半導体基体1に、例えば n^- 型のLDD領域10、 n^+ 型のソース/ドレイン領域11を形成する。その後、ゲート9および絶縁膜5のパターンを含む状態で半導体基体1の全面に絶縁膜12を形成する。

【0045】さらに、エミッタ22を形成する第3領域1cに半導体基体1に到達するコンタクトホール24を形成した後、コンタクトホール24の下方の半導体基体1にp型拡散層25を形成する。なお、Poly-Si膜4には高濃度のp型不純物であるBが導入されているため、例えば上記ソース/ドレイン領域11形成時のアニールによって、半導体基体1のp型拡散層25の周辺には p^+ 型拡散層26が形成されている。

【0046】次いで、コンタクトホール24の表面を含んで絶縁膜12上に n^+ 型のPoly-Si膜28を形成した後、第3領域1cにPoly-Si膜28のパターンを形成する。そしてコンタクトホール24表面に形成したPoly-Si膜28上を除く絶縁膜12全面にさらに絶縁膜29を形成し、さらに第1領域1bのPoly-Si膜4、ソース/ドレイン領域11のそれぞれに通じるコンタクトホール13と配線(図示せず)とを形成する。このことによって、2層Poly-Si構造のBipトランジスタ23とポリサイドのゲート9のnMOSTランジスタ15とからなるBipCMOSが形成される。

【0047】第3実施例でも、一回の異方性エッチングで、ゲート9のパターンとベース電極21のパターンとを形成する。このため、2層Poly-Si構造のBipトランジスタ23とポリサイドのゲート9のnMOSTランジスタ15とからなるBipCMOSを従来法に比較して少ない工程数で、かつ低コストで製造することができる。

【0048】また上記実施例では、ゲート9のPoly-Si膜4中に $2 \times 10^{20} \text{ cm}^{-3}$ 程度のBとPとがドーピングされる。しかしながら、ポリサイドを構成する第2導電膜をWSi膜で形成していたため、後の熱工程でWSi

10

膜6がBを吸い取って、Bの濃度は $2 \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度にまで低下する。その結果、ゲート9のPoly-Si膜4は高濃度のn型にドーピングされて縮退する。したがって、p型のベース電極21を形成する場合にもn型のゲート9を容易に形成することができる。

【0049】なお、2層Poly-Si構造のBipトランジスタ23において、ベース電極21を例えばWポリサイドで形成すると、WポリサイドのPoly-Si中のp型不純物、例えばBがWポリサイドのWSi中に吸い取られる。そしてPoly-Si中のp型不純物濃度が低下して半導体基体1中へのBの拡散が抑制され、Poly-Siと半導体基体1のSiとのコンタクト抵抗が増大してしまう。そのため、2層Poly-Si構造のBipトランジスタ23を形成する場合には、ベース電極21をWポリサイドで形成せず、第3実施例で述べたようにPoly-Siで形成するのが望ましい。

【0050】次に、本発明の第2の方法の一例を図7に示す工程図を用いて説明する。この実施例では、半導体基体の第1領域に抵抗を形成し、第2領域にnMOSTランジスタのゲートを形成する。まず第1の方法の第1実施例で述べた第1工程を行う。その後、図7(a)に示す第2工程を行う。

【0051】第2工程では、第1導電膜のPoly-Si膜4上に例えばTi、W、Co、Ni、MoおよびPtからなる高融点金属膜を形成する。この実施例では、例えば6フッ化タングステン(WF_6) / 水素(H_2)の混合ガス系を用いて、約 700°C のCVD法により、第1導電膜のPoly-Si膜4上にW膜31を形成する。W膜31は絶縁膜5のパターンをも覆う状態で形成し、例えば80nm程度の膜厚に形成する。なお、W膜31はスパッタリング法によって形成しても良い。

【0052】その後、 $700 \sim 800^\circ\text{C}$ 程度の温度で $10 \sim 30$ 分程度のアニールを行う。アニールを行うことによって、図7(b)に示すように第1領域1a以外のPoly-Si膜4とW膜31とがシリサイド化反応する。そして、第1領域1a以外のPoly-Si膜4上にWSi膜6が形成される。また絶縁膜5のパターンニング上のW膜31は未反応のまま残る。

【0053】続いて第1実施例の第2工程と同様にし、第1領域1a以外の第1導電膜と第2導電膜との中の少なくとも一方に不純物をドーピングする。この実施例では第2導電膜がWSiからなるので、第1導電膜のPoly-Si膜4に例えばPを 25 keV 、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入する。

【0054】次いで第3工程では、図7(b)に示すように未反応のW膜31を例えばウェットエッチングを用いて選択的に除去する。その後、第1実施例の第3工程と同様にし、第2領域1bのWSi膜6上にレジスト膜7のパターンを形成する。そして、第1実施例の第4工程と同様に異方性エッチングを行う。なお、未反応の

(7)

11

W膜31は、異方性エッチングの際にPoly-Si膜4、WSi膜6と同時に除去するか、もしくは異方性エッチングより前にドライエッチングで除去しても良い。

【0055】以上の工程によって、第1領域1aにPoly-Si膜4からなるp型の抵抗8のパターンが形成されるとともに、第2領域1bにPoly-Si膜4とWSi膜6との積層構造であるn型のポリサイドのゲート9が形成される。

【0056】この実施例では第1領域1aの絶縁膜5のパターンをマスクにしてシリサイド化反応させるため、第1領域1aにはPoly-Si膜4が残る。また第1の方法の第1実施例と同様に、一回の異方性エッチングによって抵抗8のパターンとゲート9のポリサイドとを形成できる。したがって、従来法に比較して少ない工程数で製造できるので、製造コストを低減することができる。

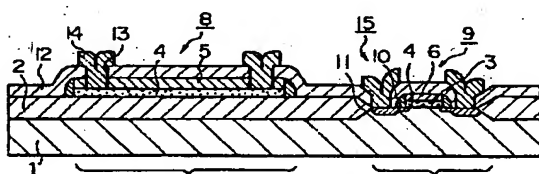
【0057】なお、上記実施例では、第1導電膜としてPoly-Si膜4を形成しているが、少なくともSiを主成分とする材料で形成されればこれに限定されない。また抵抗8と異なる導電型のゲート9を形成するために、第2工程で不純物の導入を行っているが、抵抗8とゲート9の導電型が同じ場合にはその不純物の導入工程を行う必要がない。

【0058】さらに上記実施例では、第2領域1bのWSi膜6上に絶縁膜5のパターンとは完全に離れた状態でレジスト膜7のパターンを形成した。しかしながら、前述した第1方法の第2実施例のように、レジスト膜7のパターンを絶縁膜5のパターンの一部にオーバーラップさせる状態で形成することも可能である。上記のように形成することによって、ゲート9と抵抗8のパターンとをWSi膜6およびW膜31で接続することができる。

【0059】上記各実施例の説明で用いた数値は一例であって、その値に限定されることはない。

【0060】

【図2】



第1実施例により形成される半導体装置の断面図

12

【発明の効果】以上説明したように本発明の第1の方法によれば、絶縁膜のパターンとレジスト膜のパターンとをマスクとした一回の異方性エッチングで、第1領域に第1導電膜からなるパターンを形成できると同時に第2領域に同じ第1導電膜と第2導電膜とからなるパターンとを形成することができる。よって、従来に比較して少ない工程数で半導体装置を製造できることになるので、製造コストを低減することができる。第2の方法によれば、第1領域の絶縁膜のパターンをマスクにしてシリサイド化反応させるので、第1領域に第1導電膜を残すことができる。また絶縁膜のパターンとレジスト膜のパターンとをマスクにして異方性エッチングを行うので、第1の方法と同様の効果が得られる。

【図面の簡単な説明】

【図1】第1の方法の第1実施例を示す工程図である。

【図2】第1実施例により形成される半導体装置の断面図である。

【図3】Wポリサイド中のB濃度のSIMS分析結果を示すグラフである。

【図4】第1の方法の第2実施例を示す工程図である。

【図5】図4(a)の縮小平面図である。

【図6】第1の方法の第3実施例を示す工程図である。

【図7】第2の方法の一例を示す工程図である。

【図8】半導体装置の製造方法の従来例を示す工程図である。

【符号の説明】

- 1 半導体基体
- 1a 第1領域
- 1b 第2領域
- 4 Poly-Si膜(第1導電膜)
- 5 絶縁膜
- 6 WSi膜(第2導電膜)
- 7 レジスト膜
- 31 W膜(高融点金属膜)

【図5】

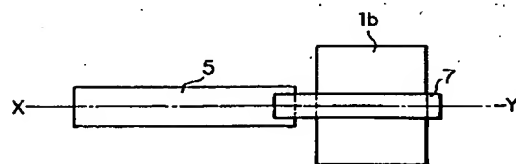
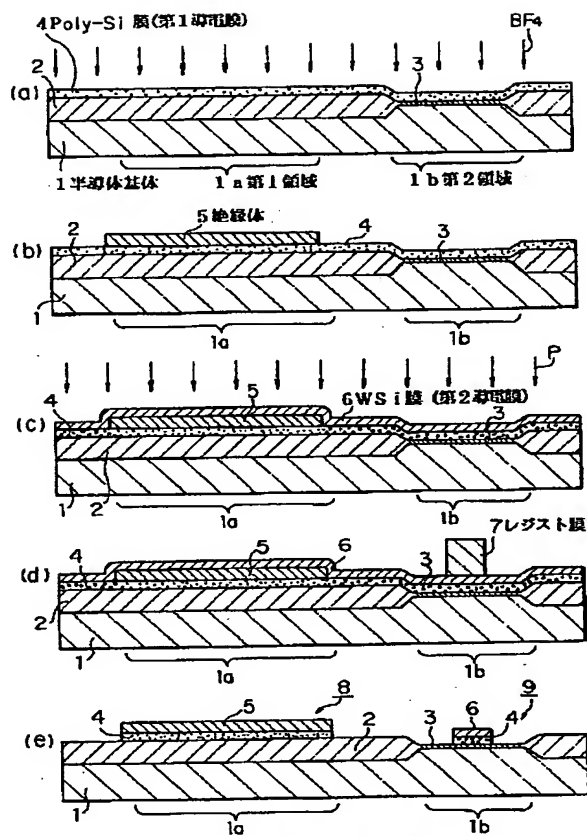


図4(a)の縮小平面図

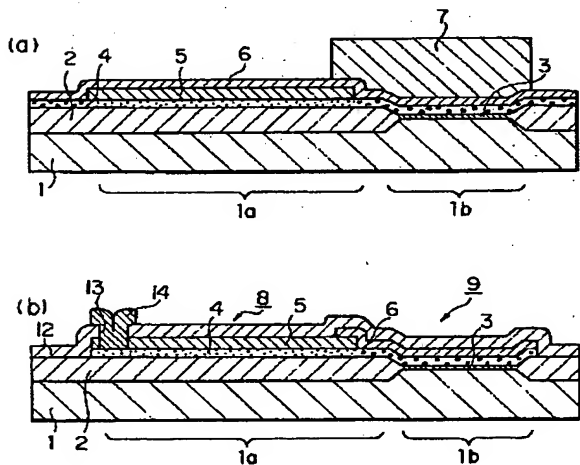
(8)

【図1】



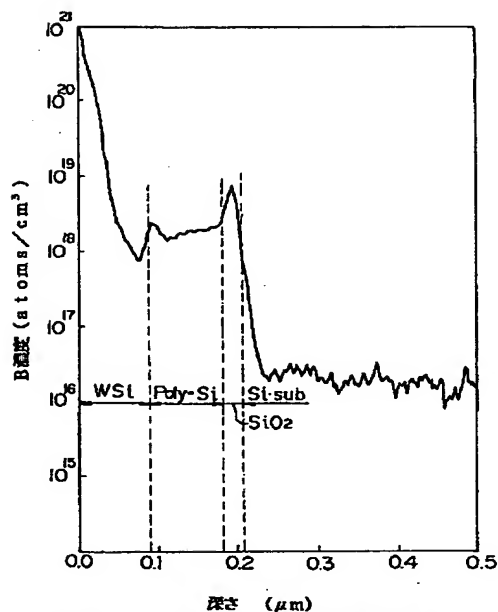
第1の方法の第1実施例を示す工程図

【図4】



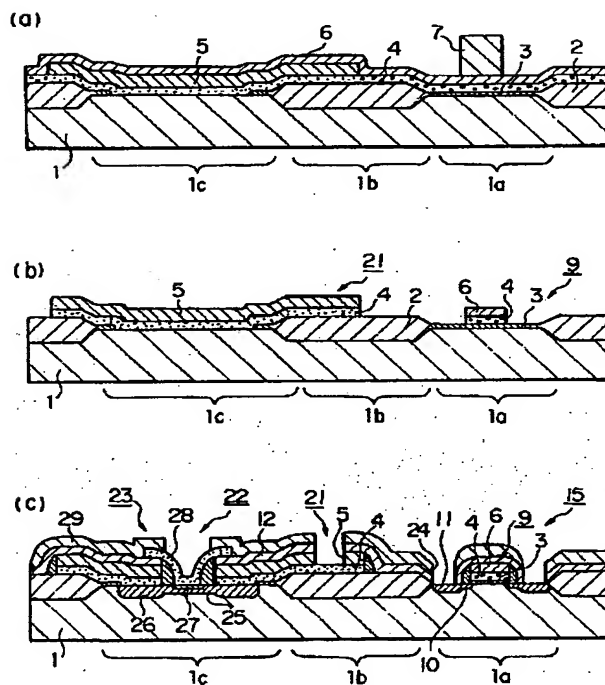
第1の方法の第2実施例を示す工程図

【図3】



Wポリサイド中のB濃度のSIMS分析結果を示すグラフ

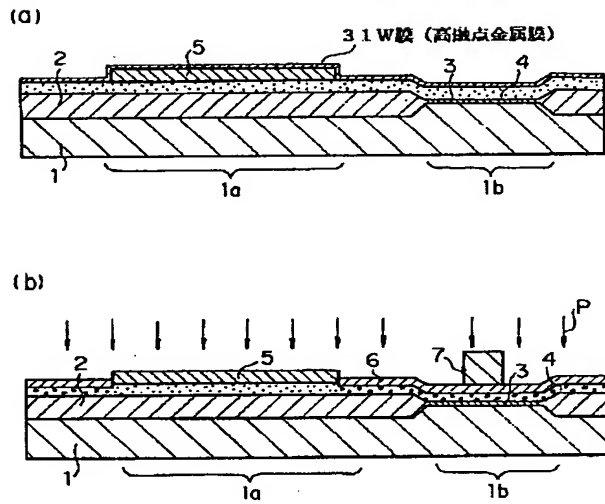
【図6】



第1の方法の第3実施例を示す工程図

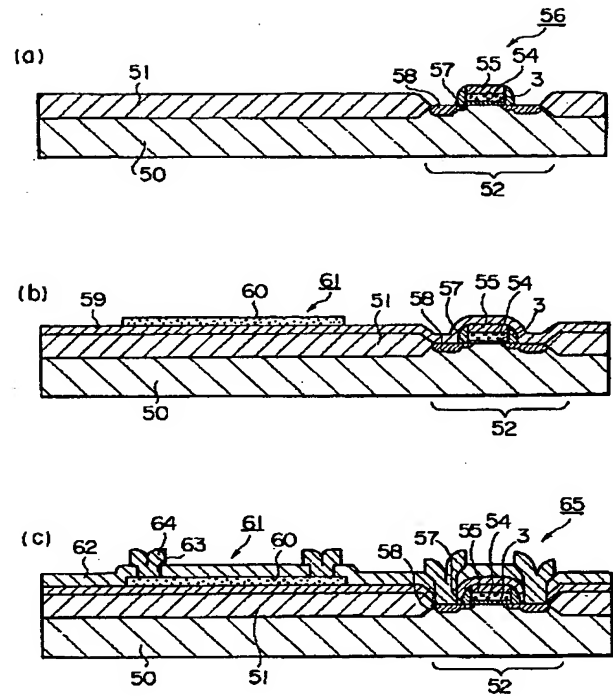
(9)

【図 7】



第2の方法の一例を示す工程図

【図 8】



半導体装置の製造方法の従来例を示す工程図

フロントページの続き

(51) Int. Cl. 6
H 0 1 L 21/3205
27/04
21/822

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

P